



parolina

1. MODELLO ANALITICO DI UN PLL - RIVELATORE DI FASE.

25 January 2012

Premessa

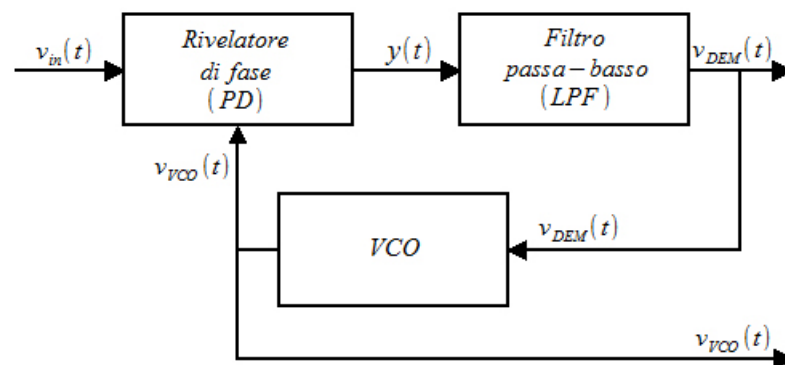
Il mio primo articolo, come i prossimi che pubblicherò successivamente, è mirato a **condividere** con tutti Voi le conoscenze acquisite durante il mio lungo lavoro di tesi. Tengo a precisare che è fatto esclusivamente con lo scopo di "**ringraziare**" quanti di questo forum, con estrema pazienza, mi hanno supportato nel lungo cammino verso la laurea. Non credo di avere le competenze per poter scrivere qualcosa ma ci provo lo stesso!

In questo articolo si illustra il modello analitico di un **PLL**, soffermandosi sul funzionamento dei singoli blocchi costituenti il PLL a cominciare dal **Rivelatore di fase**.

Schema a blocchi

Un anello ad aggancio di fase (Phase Locked Loop-PLL) del primo tipo è composto da:

- un rivelatore di fase (Phase Detector) che fornisce in uscita un segnale proporzionale alla differenza tra le fasi dei segnali in ingresso.
- un filtro passa-basso del I ordine.
- un VCO ovvero un oscillatore controllato in tensione che fornisce in uscita un segnale ad una frequenza proporzionale alla tensione applicata in ingresso.



PLLiniziale.jpg

Il PLL si dice agganciato se si verificano due condizioni: la differenza di frequenza tra il segnale in ingresso al PLL ed il segnale in uscita dal VCO è nulla e la differenza di fase tra i due segnali è costante nel tempo. Se il PLL è "agganciato", in ingresso al PD (rivelatore di fase) arrivano due segnali alla stessa frequenza e quindi con differenza di fase costante (che può significare zero o diverso da zero).

In uscita al PD si ha un segnale in continua proporzionale alla differenza di fase tra i due segnali in ingresso. Tale segnale, sensibile alla fase, viene fatto passare attraverso il filtro e viene applicato all'ingresso di controllo del VCO. Se la frequenza del segnale in ingresso cambia un poco, accade che la fase istantanea inizia a variare, divenendo non più costante nel tempo.

Infatti, la frequenza istantanea è la derivata rispetto al tempo della fase istantanea, dunque, se c'è una variazione istantanea di frequenza, ci sarà una variazione lineare della fase. Come conseguenza varierà la tensione di controllo sul VCO in modo tale da portare la sua frequenza allo stesso valore di quella del segnale di ingresso.

L'anello può così mantenere l'aggancio quando cambia la frequenza del segnale di ingresso, e la tensione di ingresso del VCO è proporzionale alla frequenza del segnale in arrivo. Si definisce "intervallo di aggancio" l'intervallo di frequenze tali che, se il PLL è in condizioni di aggancio, continua a rimanerci. Si definisce, invece, "intervallo di cattura" l'intervallo delle frequenze in ingresso tali che, se il PLL non è agganciato, è in grado di agganciarsi. Tipicamente l'intervallo di cattura è un sottoinsieme dell'intervallo di aggancio.

Rivelatore di fase

L'idea più semplice per realizzare un rivelatore di fase è quella di effettuare il prodotto tra i due segnali di ingresso. Si considerino due ingressi:

$$\begin{aligned}x_1(t) &= A_1 \cos(2\pi f_1 t) \text{ e} \\x_2(t) &= A_2 \cos(2\pi f_2 t + \Delta\phi),\end{aligned}$$

dove $\Delta\phi$ è un termine differenza di fase tra i due segnali. L'uscita di un moltiplicatore con guadagno K sarà :

$$y(t) = \frac{KA_1A_2}{2} [\cos(2\pi f_1 t + 2\pi f_2 t + \Delta\phi) + \cos(2\pi f_1 t - 2\pi f_2 t - \Delta\phi)]$$

cioè la somma di due sinusoidi a frequenza pari alla somma e alla differenza delle frequenze dei segnali di ingresso.

Per mantenere solo la sinusoide con la frequenza differenza, il comparatore di fase è sempre seguito da un filtro passa-basso che elimina la sinusoide con frequenza pari alla somma delle frequenze. Se le frequenze dei due segnali sono uguali ovvero $f_1 = f_2 = f$ l'uscita del comparatore di fase diventa:

$$y(t) = \frac{KA_1A_2}{2} [\cos(4\pi f t + \Delta\phi) + \cos(\Delta\phi)]$$

ovvero la tensione d'uscita è uguale alla somma di una componente alternata, oscillante ad un frequenza doppia rispetto ai segnali di ingresso e di una componente continua, la quale è funzione dello sfasamento $\Delta\phi$ tra i segnali. Quest'ultima componente $y_{DC} = KA_1A_2[\cos(\Delta\phi)] / 2$ è quella che passa attraverso il filtro passa-basso e viene inviata al VCO come segnale di controllo. La progettazione di un rivelatore di fase tramite un moltiplicatore analogico è, come visto, teoricamente semplice, ma la realizzazione circuitale è ben più complessa.

In alternativa alla funzione prodotto è possibile realizzare un rivelatore di fase utilizzando la funzione XOR ed assumendo che gli ingressi siano onde quadre.

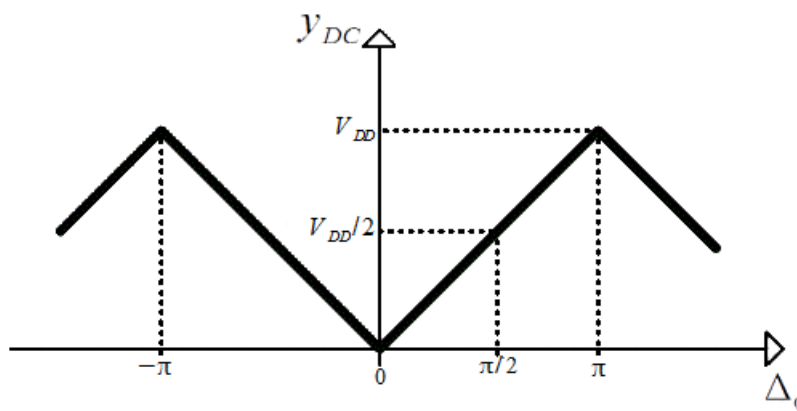
Quando i due segnali di ingresso hanno valori opposti l'uscita è alta, mentre quando sono uguali l'uscita è bassa. L'uscita $y(t)$ del comparatore è un treno di impulsi a frequenza doppia di quella dei segnali in ingresso e con un duty cycle $D\phi = \Delta\phi / \pi$ che dipende dalla differenza di fase tra i due segnali in ingresso. Il segnale periodico $y(t)$ in uscita dalla XOR può essere scritto come serie di Fourier

$$y(t) = y_{DC} + \sum_{k=1}^{\infty} y_k \cos(4k\pi f_{in}t - \theta_k)$$

dove y_{DC} è la componente continua e y_k è l'ampiezza della k-esima armonica a frequenza $2kf_{in}$. La componente continua può essere calcolata come

$$y_{DC} = \frac{1}{T/2} \int_0^{T/2} y(t) dt = \frac{2}{T} \int_0^{D\phi T/2} V_{DD} dt = \frac{V_{DD}}{\pi} \Delta\phi$$

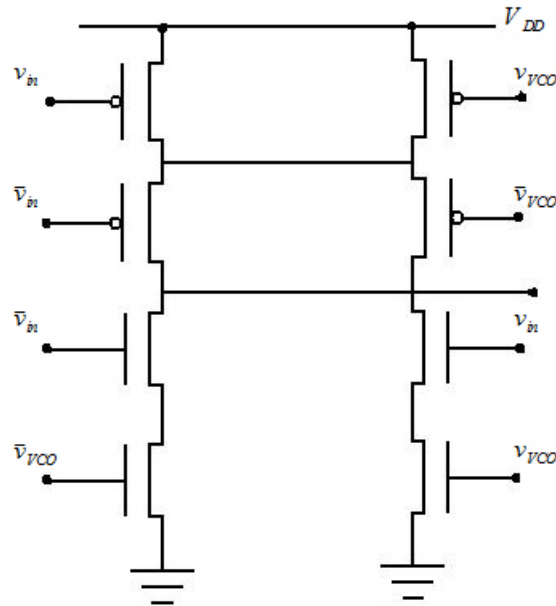
ovvero $y_{DC} = K_{PD}\Delta\phi$ con K_{PD} chiamata "sensibilità del rivelatore di fase", la cui unità di misura è $[V / rad]$. Dunque, il K_{PD} è fissato una volta fissata l'alimentazione. La caratteristica d'uscita è la seguente



Uscita_ok.gif

Questo tipo di rivelatore di fase si comporta come tale, con una certa pendenza positiva, solo quando $0 < \Delta\phi < \pi$, al di fuori la pendenza cambia segno. Ciò è significativo poiché, essendo il PLL un anello retroazionato, cambiando il segno, la reazione da negativa diventa positiva.

La funzione XOR è implementabile mediante l'utilizzo di porte CMOS come illustrato in figura



xor_cmos.jpg

Estratto da "<http://www.electroyou.it/mediawiki/index.php?title=UsersPages:Parolina:1-modello-analitico-di-un-pll-rivelatore-di-fase>"